

直流通電加熱による Si(001) 原子層 平坦面の位置制御

安藤 淳・坂本 邦博

電子技術総合研究所
☎ 305-8568 茨城県つくば市梅園 1-1-4
(1998 年 1 月 28 日受理)

Spatially Controlled Formation of an Atomically Flat Si(001) Surface by DC Annealing

Atsushi ANDO and Kunihiro SAKAMOTO

Electrotechnical Laboratory (ETL)
1-1-4 Umezono, Tsukuba, Ibaraki 305-8568

(Received January 28, 1998)

通電加熱は、試料そのものを発熱体として用いる加熱方法であり、シリコン表面研究において多用される加熱方法の一つである。本稿においては、シリコンの通電加熱方法の概略と、通電加熱時に Si(001) 表面で起こる特徴的な現象、さらには我々が開発した直流通電加熱による Si(001) 原子層平坦面の位置制御について紹介する。

シリコンの通電加熱法

Fig. 1 に、我々が用いているシリコン基板への電極接続法を示す。試料温度の均一性を広い領域にわたって確保するために、通電加熱方向に長い短冊状の試料を用いている。試料保持は、電極接続部と兼用で、まず試料両端を Ta 薄板で挟んだ後、その外側を 0.3 mm 厚の Ta 板

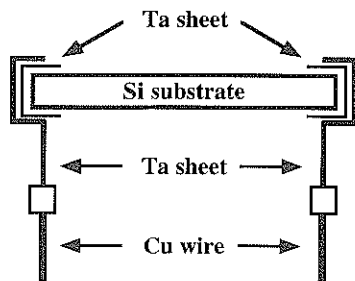


Fig. 1 Electrical connections to the silicon substrate.

で保持する方法を採用している。この保持方法により、簡便な構造ながら、シリコン基板にストレスをかけずに良好な電氣的接続を得ることが可能となっている。電氣的接続が不良な場合、Ta 板が高温になりシリコン表面への汚染源となるので注意を要する。加熱用電源としては、一般的には直流定電流電源を用い、電流によって試料温度を制御する。加熱に必要な電流値は、試料の幅と厚さに比例するが、幅 1 mm、厚さ 380 μm のシリコン試料を 1200°C まで加熱する場合で 3 A 程度である。

半導体であるシリコンは、比抵抗の温度係数が大きく、高抵抗試料では、加熱始めは電流がほとんど流れないが、一度流れ始めると通電加熱による温度上昇によって抵抗が下がり、設定電流値まで急激に流れるようになる。この温度上昇に伴う電流暴走を生じないように、設定電流値は、ゆっくりと段階的に増やさなければならない。この煩わしさは、傍熱加熱源による予備加熱を併用することで解消できる。

加熱中の試料温度の測定には、赤外輻射温度計がよく用いられる。厳密な測定のためには、温度計の校正が必要であり、熱電対等の他の温度計やシリコン基板の比抵抗の温度依存性を利用して行う。また、温度測定を一度しておけば、寸法や比抵抗が同じ試料を加熱する場合に、加熱に要する電力から温度を推定することができる。

通電加熱時に起こる現象

通電加熱時に起こる表面現象のうちで特徴的なものに、表面ステップ移動の電流方向依存性があげられる。Si(001) 面の場合、 S_A , S_B 2 種類のステップが存在するが、 S_A ステップは通電方向と逆方向に、 S_B ステップは順方向に移動する¹⁾。この現象は、600°C 以上の試料温度で観察される。800°C 以上の試料温度では、ステップ

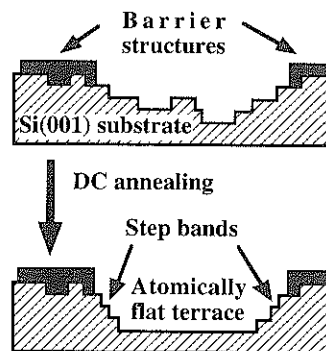


Fig. 2 Spatially controlled method of an atomically flat Si(001) surface.

凝集が生じ、ステップ凝集部分と原子層平坦面部分とで構成される表面が生成する²⁾。このステップ凝集も電流方向依存性があり、電流方向の反転によって凝集ステップの解離を行うことができる。

Si(001)原子層平坦面の位置制御

前述した、凝集ステップの間に現れる原子層平坦面は、その大きさが数 μm 角にもおよび、表面研究上の興味のみならず、極微細素子を作製する平坦基板として充分魅力的である。しかしながら、単なる直流通電加熱処理では、平坦面の生成位置に規則性がなく、デバイス基板として用いるためには、平坦面を基板上の任意の位置に作製する技術が必要となる。我々は、シリコンの清浄化が失敗した時に生ずるSiCが、ステップ位置のピン止め場所になっていることに着目し、あらかじめ、ステップ移動を阻害する構造物を表面上に配置させ、その場所で通電加熱によるステップバンチングを生じさせることによ

り、平坦面の位置制御を行う方法(Fig. 2)を考案した³⁾。阻害構造物としては、SiC、SiO₂、Si₃N₄等のほか、化学エッチングにより作製した数10 nm程度の段差も用いることが可能である。実際に、0.1°オフのSi(001)基板に1000℃、2時間の直流通電加熱処理を行った場合、直径4 μm の原子層平坦面を規則的に配列させることに成功している。

文 献

- 1) H. Kahata and K. Yagi: Jpn. J. Appl. Phys. **28**, L 858 (1989).
- 2) L.V. Litvin, A.B. Krasilnikov and A.V. Latyshev: Surf. Sci. Lett. **244**, L 121 (1991).
- 3) A. Ando, K. Sakamoto, K. Miki, K. Matsumoto and T. Sakamoto: Jpn. J. Appl. Phys. **36**, 1424 (1997).